

Instruções de Alinhamento

1 Equipamento de alinhamento

PM5518 (gerador de sinal de vídeo)

K-7253 (Gerador de sinal VGA)

CA100 (balanceador branco)

VG-849

2 Fluxograma de alinhamento

O fluxograma de alinhamento é mostrado na fig-1

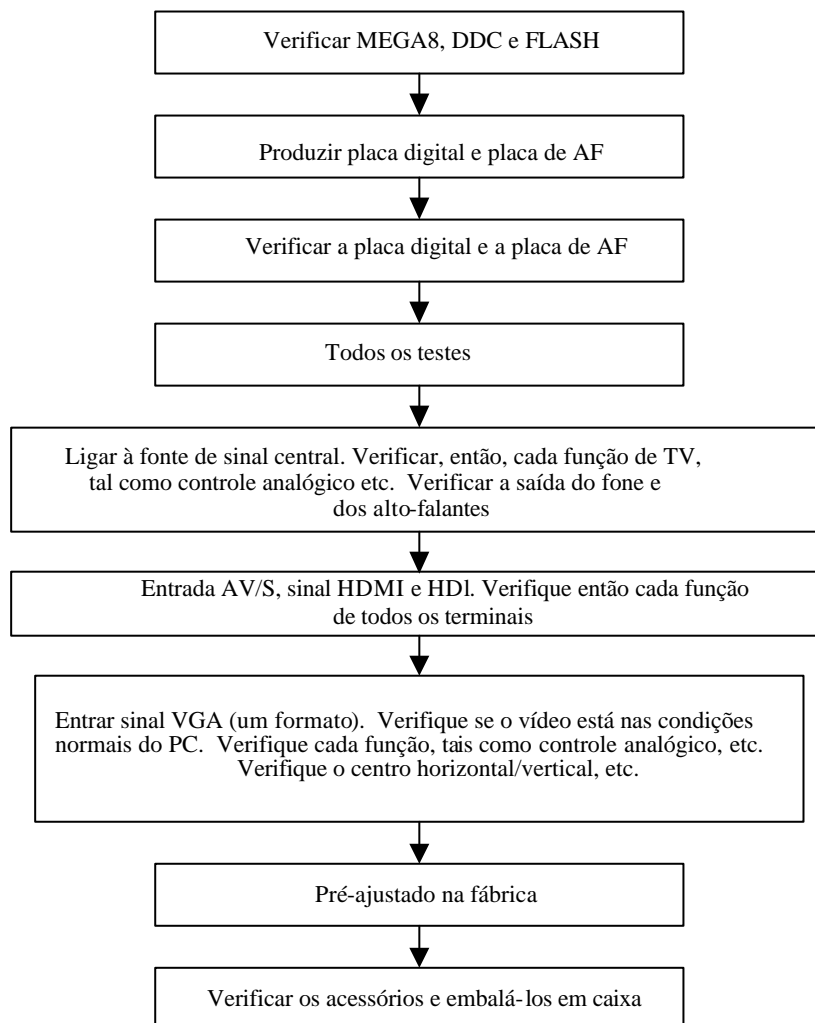


Fig.-1 Fluxograma do ajuste

3 Ajustes da unidade

3.1 Ajuste de placa de AF

Ajuste o potenciômetro VR9002 da placa de força, meça o ponto de teste TP1 (12VAMP) da placa de AF para $14 V \pm 0.05 V$.

3.2 Ajuste da placa digital

3.2.1 Ligue a placa digital, placa de botões e placa de AF, ligue a unidade. Verifique se a imagem está normal.

3.2.2 Entre no modo do menu da fábrica (modo de serviço)

Pressione o botão MENU, pressione o botão de números: 1 ? 9 ? 7 ? 9. Entre no menu de fábrica e, então use VOL+/-, selecione o valor do item e CH+/- altere-o. Pressione o botão MENU para sair do menu de fábrica.

3.2.3 Ajuste do canal de VGA

3.2.3.1 Modo do canal VGA pré-ajustado

Entre o sinal VGA de K-7253. Selecione 640*480/75Hz/85Hz, 1024*768/70Hz/75Hz/80/Hz/85Hz, 800*600/75Hz/85Hz, 1280*1024/60Hz/75Hz e 1600*1200/60Hz, respectivamente. Pressione "AUTO" para fazer o auto-ajuste até que a tela se encha com a imagem.

3.2.3.2 Ajuste ADC do canal VGA

Entre o sinal de 16 graus de densidade de cinza para VG-849 TIME921, PATTERN889. Entre o menu de fábrica. Selecione a auto-correção ADC.

3.2.3.3 Ajuste do balanço branco do canal de VGA

a. Entre um sinal de escala de cinzas de 8 níveis K-7253 de TIME303 (640*480/60Hz/) e PATTERN4718. Entre no menu de ajuste do balanço branco. Ajuste o terceiro e sétimo níveis usando o balanceador branco.

b. Selecione 9300k do "modo", fixed offset_R em 128, ajuste o offset_G e offset_B. Deixe a coordenada de cor do terceiro nível como 285 e 290 e seu brilho como 4.5-5nit. O fixed gain_B em 128, Ajuste o gain_R e gain_G. Deixe a coordenada de cor de nível sete como 285 e 290. Ajuste o offset_G, offset_B, gain_R e gain_G repetidamente, até que o valor da escala de cinzas de dois níveis fique em 285 e 290.

c. Selecione 12000k de "modo", fixed offset_R em 128, ajuste offset_G e offset_B, deixe a coordenada de cor do terceiro nível como 270 e 283 e seu brilho como 4.5-5nit. O fixed gain_B em 128. Ajuste o gain_R e gain_G. Deixe a coordenada de cor do sétimo nível como 270 e 283. Ajuste offset_G, offset_B, gain_R e gain_G repetidamente, até que o valor da escala de cinzas de dois níveis seja 270 e 283.

Nota: após o ajuste do balanço branco, ajuste o item 3.2.3.2, autocorreção ADC novamente.

3.2.4 Ajuste do canal AV/TV

3.2.4.1 Ajuste de sub-brilho e subcontraste

Entre o sinal da barra de cores AV (PM5518 COLOUR BAR 100%) para o terminal de VIDEO, ajuste os itens de sub-brilho e subcontraste do menu de fábrica. Saia do menu de fábrica e observe o efeito. Repita o ajuste até conseguir o melhor.

3.2.4.2 Ajuste de balanço branco do canal AV/TV

a. Entre o sinal AV (PM5518, sinal de escala de cinzas de 8 níveis). Entre no menu de ajuste do balanço do branco; ajuste o terceiro e sétimo níveis usando o balanceador do branco.

b. Selecione 9300k de "modo", fixed offset_R em 128, ajuste o offset_G e offset_B. Deixe a coordenada de cor do terceiro nível como 285 e 290 e seu brilho como 4.5-5nit. O fixed gain_B em 128. Ajuste o gain_R e gain_G. Deixe a coordenada de cor do sétimo nível como 285 e 290. Ajuste o offset_G, offset_B, gain_R e ganho_G repetidamente, até que o valor da escala de cinzas de dois níveis fique em 285 e 290.

c. Selecione 12000k de "modo", fixed offset_R em 128. Ajuste o offset_G e offset_B. Deixe a coordenada de cor do terceiro nível como 270 e 283 e seu brilho como 4.5-5nit. O fixed gain_B como 128. Ajuste o gain_R e gain_G. Deixe a coordenada de cor do sétimo nível como 270 e 283. Ajuste o offset_G, offset_B, ganho_R e o ganho_G repetidamente, até que o valor da escala de cinzas de dois níveis fique em 270 e 283.

3.2.5 Ajuste do balanço branco do canal YPbPr

a. Ajuste de ADC do canal YPbPr: entre o sinal de barra de cores VG-849 TIME976 e PATTEN984 SMPTE. I. Entre no menu de fábrica, auto-correção ADC.

b. Ligue o sinal YPbPr do sinal K-7253 ao terminal YPbPr. Entre a escala de cinzas de oito níveis do sinal TIME380 (480i) PATTERN471. Entre no menu de ajuste do balanço branco. Selecione 9300k do "modo", o fixed offset_R em 128. Ajuste o offset_G e o offset_B. Deixe a coordenada de

cor do terceiro nível como 285 e 290 e seu brilho como 4.5-5nit. O fixed gain_B em 128. Ajuste o ganho_R e o ganho_G. Deixe a coordenada de cor do sétimo nível em 285 e 290. Ajuste o offset_G, offset_B, ganho_R e o ganho_G repetidamente, até que o valor da escala de cinzas de dois níveis seja 285 e 290.

c. Selecione 12000k do “modo”, fixed offset_R em 128. Ajuste o offset_G e offset_B. Deixe a coordenada de cor do terceiro nível como 270 e 283 e seu brilho como 4.5-5nit. O fixed gain_B em 128. Ajuste o ganho_R e o ganho_G, Deixe a coordenada de cor do sétimo nível em 270 e 283. Ajuste o offset_G, offset_B, ganho_R e o ganho_G repetidamente, até que o valor da escala de cinzas de dois níveis fique em 270 e 283.

d. Entre o sinal da escala de cinzas de 8 níveis do modo TIME392 (480p), TIME394 (720p) e TIME396 (1080i), repetidamente, até que a segunda coordenada de cores fique em 285 e 290 e o brilho em 2.3nit.

3.2.6 Ajuste de balanço do branco do canal de HDMI

Entre o sinal VG-849 (1080i) e 720p HDMI. Selecione 9300k do “modo”. O fixed offset_R em 128. Ajuste o offset_G e o offset_B. Deixe a coordenada de cor do terceiro nível em 285 e 290 e seu brilho como 4.5-5nit. O fixed gain_B em 128. Ajuste o ganho_R e o ganho_G. Deixe a coordenada de cor do sétimo nível em 285 e 290. Ajuste o offset_G, offset_B, ganho_R e o ganho_G repetidamente, até que o valor da escala de cinzas de dois níveis fique em 285 e 290.

Selecione 12000k do “modo”. O fixed offset_R em 128. O ajuste do offset_G e o offset_B. Deixe a coordenada de cor do terceiro nível em 270 e 283 e seu brilho como 4.5-5nit. O fixed gain_B em 128. Ajuste o ganho_R e o ganho_G. Deixe a coordenada de cor do sétimo nível em 270 e 283. Ajuste o offset_G, offset_B, ganho_R e o ganho_G repetidamente, até que o valor da escala de cinzas de dois níveis fique em 270 e 283.

3.3 Verificação de desempenho

3.3.1 Função de TV

Entre no menu de pesquisa ? pesquisa automática. Ligue o terminal de RF-TV à fonte de sinal central e verifique se há canais a serem saltados.

3.3.2 AV/S, terminais YPbPr e HDMI

Entre o sinal de AV/S, HD e HDMI. Verifique se está normal.

3.3.3 Terminal VGA

Ligue ao Terminal VGA. Entre o sinal de formato VGA de 640 X 480 em 60 Hz. Verifique se a imagem está normal. Se a imagem ainda tiver interferência, faça o ajuste automático da imagem até que fique normal.

3.3.4 Terminal DVI

Insira o Terminal DVI, introduza um sinal de 640 X 480 de 60 Hz e Verifique se a imagem está normal.

3.3.5 Verifique o canal de áudio

Verifique o alto-falante e fone de cada canal.

3.3.6 Pré-ajuste anterior na fábrica

Item	Ajuste
Modo imagem	Esportes
Modo som	NOTÍCIAS
TELA	Encher toda

Item	Ajuste
Idioma OSD	Inglês
Temperatura da Cor VGA	Quente

Item	Ajuste
BALANÇO	+00
Ligar modo	Desligar

Método de atualização do software

As etapas de atualização do software são as seguintes:

1. Selecione um cabo de conexão serial e um cabo de conexão VGA e, então, ligue-os por meio de um painel de conexões;
2. Use um cabo serial para ligar o PC ao painel de conexões e desligue o TV;

Abra o arquivo de atualização do software e dê um clique duplo no ícone FlashUpgrader (Windows 2000/XP/NT)



As interfaces a seguir aparecerão após a execução do programa:



Com base nos recursos do computador, configure a porta serial (COM Port). Selecione a porta serial correspondente

(Se não estiver habilitada para FLASH WRITE, mude para outra porta). A taxa de transmissão

(Baud) selecionada deve ser 115200. Selecione então "Reset Target After Download". Clique no

botão FLASH. Estará pronto para ser executado. Para outros ajustes, consulte a figura acima

(default do sistema, normalmente não precisa ser alterado). Ligue o TV. O programa FLASH

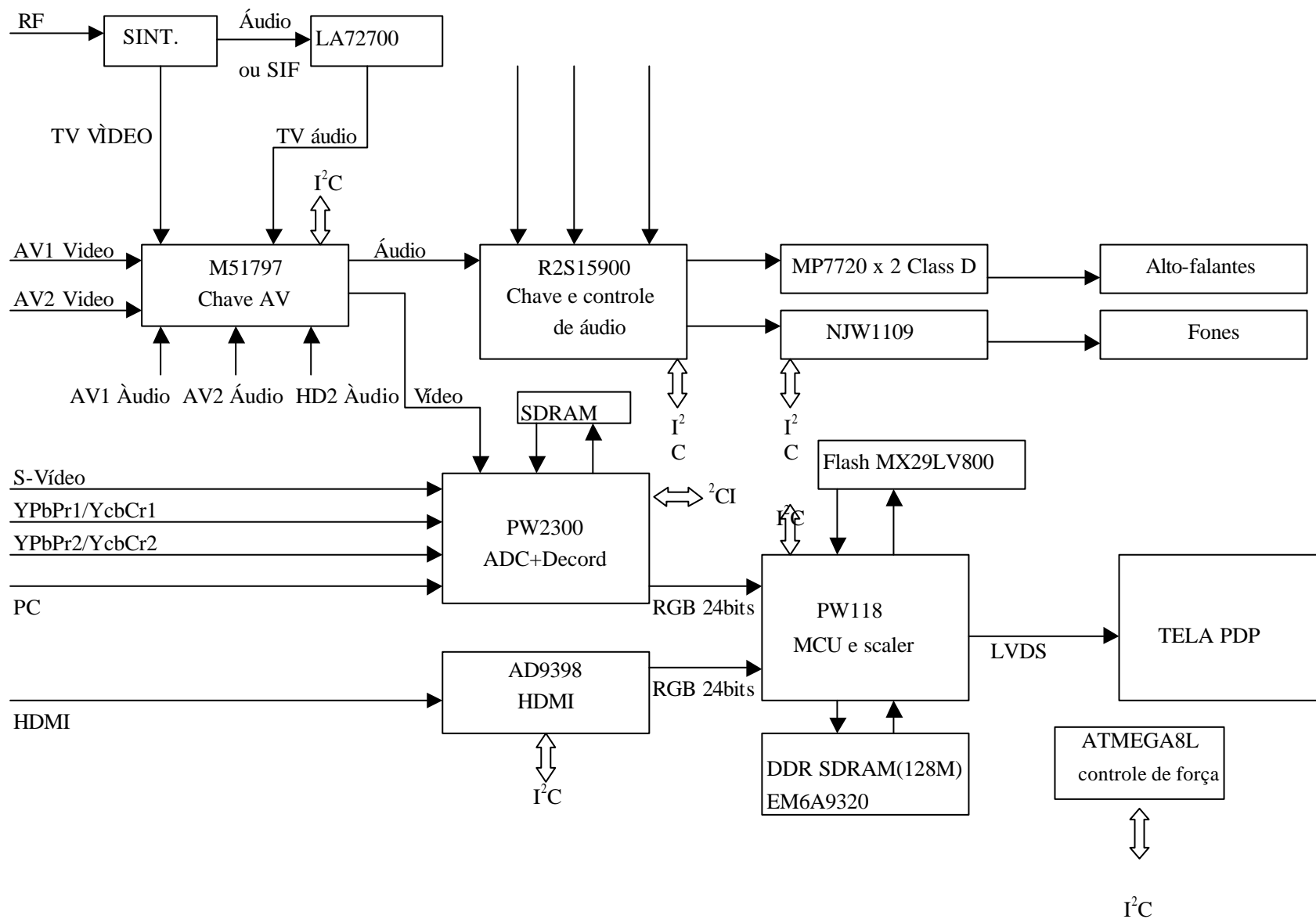
WRITE começará a ser executado;



Após o FLASH WRITE estar concluído, o botão "Cancel" começará a piscar. Desligue então a fonte de alimentação principal e poderá ligá-la novamente.

Nota: não desligue ou ligue o TV durante a execução do FLASH WRITE. Caso contrário, a gravação do flash será impossível.

Diagrama de bloco



Análise dos Princípios Operacionais da Unidade

1. Placa de TV

Este conjunto comporta todo o sistema para o sintonizador integrador (inclui circuito de amplificação de alta frequência e frequência intermediária). A antena recebe o sinal e envia ao sintonizador. O sintonizador é o N602 PW118 MCU controlado (por SDA, SCL). Selecione o canal apropriado, ative o modo correto. Após a amplificação de alta frequência e de frequência intermediária, ative a saída dos sinais de áudio e vídeo.

A saída do sinal de áudio pelo sintonizador é enviada diretamente à chave AV (M52797). Selecione este sinal e o sinal de áudio do AV1, AV2, YPbPr. Ative a saída do sinal de áudio do canal selecionado e separe-o em duas vias; uma após amplificar 6 db é AU OUT; a outra é enviada ao processador de áudio e som IC N907 R2A15900. No R2S15900, tal sinal de áudio e o sinal de VGA, VGA, HDMI, YPbYr1 são selecionados por MCU, e a saída do sinal é através do controle de volume e grave-agudo, para ser amplificada pelo amplificador tipo D. Finalmente, o sinal sai para a caixa acústica e representa o som. Ao ligar o fone, a entrada do fone com chave envia o canal esquerdo/direito da saída de R2S15990 ao amplificador de potência do fone N908 NJW1109. Após a amplificação, ao usar a saída de fone, ative a saída do fone para ouvir (o fone pode ser selecionado a pedido do cliente).

O amplificador de som MPS7720 é o amplificador de potência monocanal tipo D de alta eficácia. A potência de saída pode atingir 20W sem aletas radiadoras, obtida da função protetora de sobrecorrente e sobreaquecimento. Quando a entrada direta ao terra estiver em curto, poderá proteger automaticamente e interromper a saída. Se não estiver em curto, poderá retomar a operação normal. Portanto, ao instalar e ativar o cabo de áudio (não sugerir tal operação), se o aparelho não tiver som algum devido a curto acidental, voltará ao normal tão logo for reativado.

2. A parte de vídeo

A saída do sinal de vídeo do sintonizador é enviada à chave AV M52797 (N903). A entrada do sinal de vídeo de AV1 e AV2 segue para o M52797 (N903), e é ativada para ganhar dois grupos de saída de vídeo. Uma saída de grupo de sinal de vídeo é enviada ao terminal AV-OUT com sua saída de som e é tratada como saída AV OUT. Outra saída de grupo do sinal de vídeo pe enviada a PW2300 e é feita a decodificação do vídeo. Então, o sinal de vídeo do S-VIDEO, YpbPr1, YpbPr2, VGA é enviado ao PW2300 (N700) sincronicamente. Todos esses sinais de vídeo serão enviados a este chip para fazer a decodificação do vídeo ou a conversão de AD. Ocorre então a saída do sinal RGB digital de 24 bits e o sinal de sincronismo correspondente. O PW2300 (N700) completa a maioria das funções do filtro 3D comb, da chave de canais, separação Y/C de 5 linhas, a decodificação de cores, etc. O sinal RGB digital de 24 bits e o sinal de sincronismo correspondente são enviados pelo PW2300 (N700) e fornecidos ao chip da próxima etapa PW118 (N602). O sinal HDMI é fornecido ao AD9398 (N208) para fazer a decodificação. Ao mesmo tempo, o sinal digital de 24 bits e o sinal de sincronismo correspondente são fornecidos ao PW118 (N602) para fazer o processamento. O PW118 é o novo chip de alta potência da Pixelworks para manipulação de imagens. O sinal RGB digital de 24 bits e o sinal de sincronismo correspondente fornecidos pelo AD9398 e PW2300 serão fornecidos a este chip para fazer a manipulação de imagens. Além da função de entrelaçado para linha a linha, este chip ainda inclui a função de refinamento de imagem (image enhancement), etc. O PW118 pode fazer o chaveamento de formato para os diferentes sinais de entrada de formato (por solicitação do cliente, seleciona a função SCALER), e faz a correspondência com a solicitação de formato da tela, e produz o sinal de diferença de baixa tensão do RGB LVDS digital, que é então enviado à tela, fazendo seu acionamento. O PW118 é igualmente a CPU principal. O procedimento é armazenado no flash externo MX29LV800 N404. A atualização do software da RS-232 é a atualização do conteúdo armazenado do N404 pelo PW118.

3. Função do CI, diagrama de bloco interno, introdução dos pinos

3.1 PW2300

O PW2300 é parte do chip de processamento de vídeo "front-end" que integra um decodificador de vídeo multisistema de alta potência a um módulo ADC de alta velocidade. Todos os sinais de entrada de vídeo (exceto o sinal HDMI) são introduzidos neste chip até a chave AD e de decodificação de vídeo. O sinal RGB digital de 24 bits e o correspondente sinal de sincronismo são fornecidos ao N602 PW118 para fazer o processamento. O PW2300 completa principalmente as funções do filtro comb. de 3D, da chave de canais, separação Y/C de 5 linhas, a decodificação de cores, etc. Faz a conexão do chip SDRAM externo N703 HY57V161610E, tratado como memória interna para auxiliar a operação do PW2300.

Diagrama interno de blocos do PW2300:

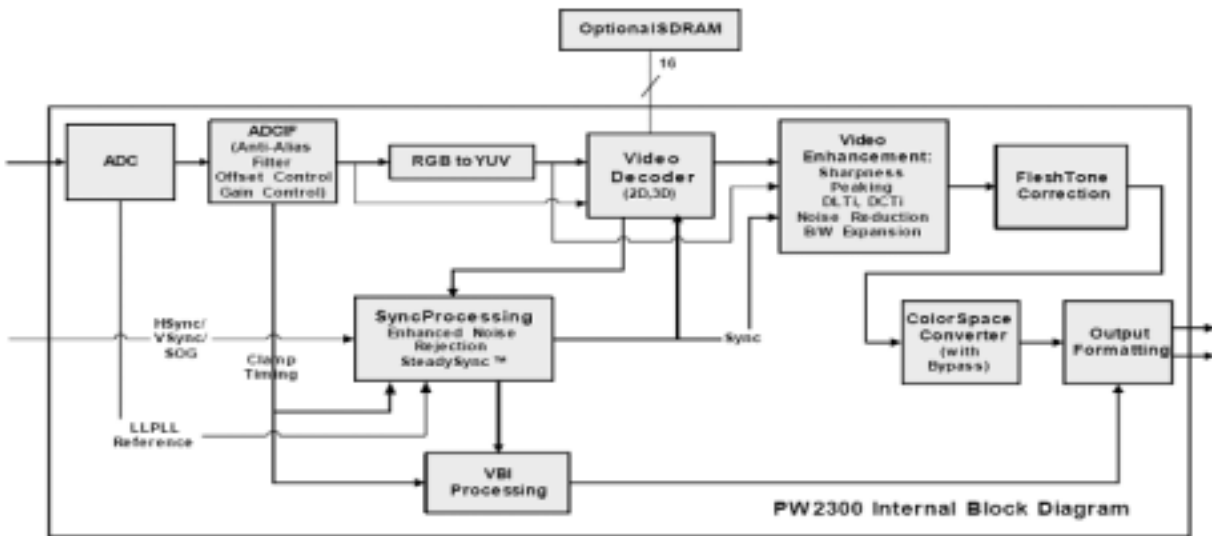


Diagrama da pinagem do PW2300:

SAR	SA8	SA2	XIN	XOUT	GPC12	GPC8	ALTRN	GPC1	DGR1	DGR4	DGR7	DGR2	DGR5	DGR6	DGR7
SYCLK1	SDA	SQL	NC	NC	GPC13	GPC9	ALTR5	DOMB	DGR0	DGR3	DGR6	DGR1	DGR4	DGR1	DGR0
REXT	ASPECT2	ASPECT0	ASPECT1	COAST	GPC14	GPC10	ALTR6	GPC2	XTNT	DGR2	DGR5	DGR0	DGR3	DGR3	DGR2
RESET_N	NC	NC	NC	CLAMP	GPC15	GPC11	ALTR5	ALTRD	V3D	V3D	V3D	V3D	DGR5	DGR5	DGR4
NC	NC	NC	GND	V18	V18A	V18P	V18A	VDA	GND	V18	V18	V3D	DGR7	DGRD	DGR5
NC	NC	NC	GND	V18	GND	GND	GND	GND	GND	GND	GND	V3D	DGR5	DGR5	DGR5
NC	NC	NC	V3A	GND	V18	GND	V3A	GND	GND	GND	V18	V3D	DGR0	DGR1	DGR2
GND	GND	GND	V3A	V18P	GND	GND	GND	GND	GND	GND	GND	V3D	DGR0	DGR0	DGR0
V18A	V18A	GND	GND	V18P	V18P	GND	GND	GND	GND	GND	V18	V3D	DGR0	DGR0	DGR0
GR1	RED1	FLT	GND	GND	GND	GND	GND	GND	GND	GND	GND	V3D	DGR0	DGR0	DGR0
SDR1	NC	NC	V3AOC	V3AOC	V3AOC	V3AOC	V3AOC	GND	V18	GND	V18	V3D	DGR0	DGR0	DGR0
BLU1	NC	NC	V3AOC	V3AOC	V3AOC	V3A	V18A	GND	V3D	V3D	V3D	DGR0	DGR0	DGR0	DGR0
RED2	GR2	SO2	BLU2	FSD1	FSD0	FSD5	FSD7	FSC6	FSDW6	PSA0	PSA1	PSA0	DGR0	DGR0	DGR0
RED0	GR0	SO0	BLU0	FSD0	FSD2	FSD4	FSD6	FSNE	FSD6	FSDW0	PSA0	PSA2	DGR0	DGR0	DGR0
RED4	GR4	SO4	BLU4	FSD4	FSD2	FSD10	FSD8	FSCLK	FSW	PSA7	PSA6	PSA4	DGR0	DGR0	DGR0
H81	H82	V81	V82	FSD15	FSD13	FSD11	FSD9	FSDGM	PSA11	PSA8	PSA6	DGR0	DGR0	DGR0	DGR0

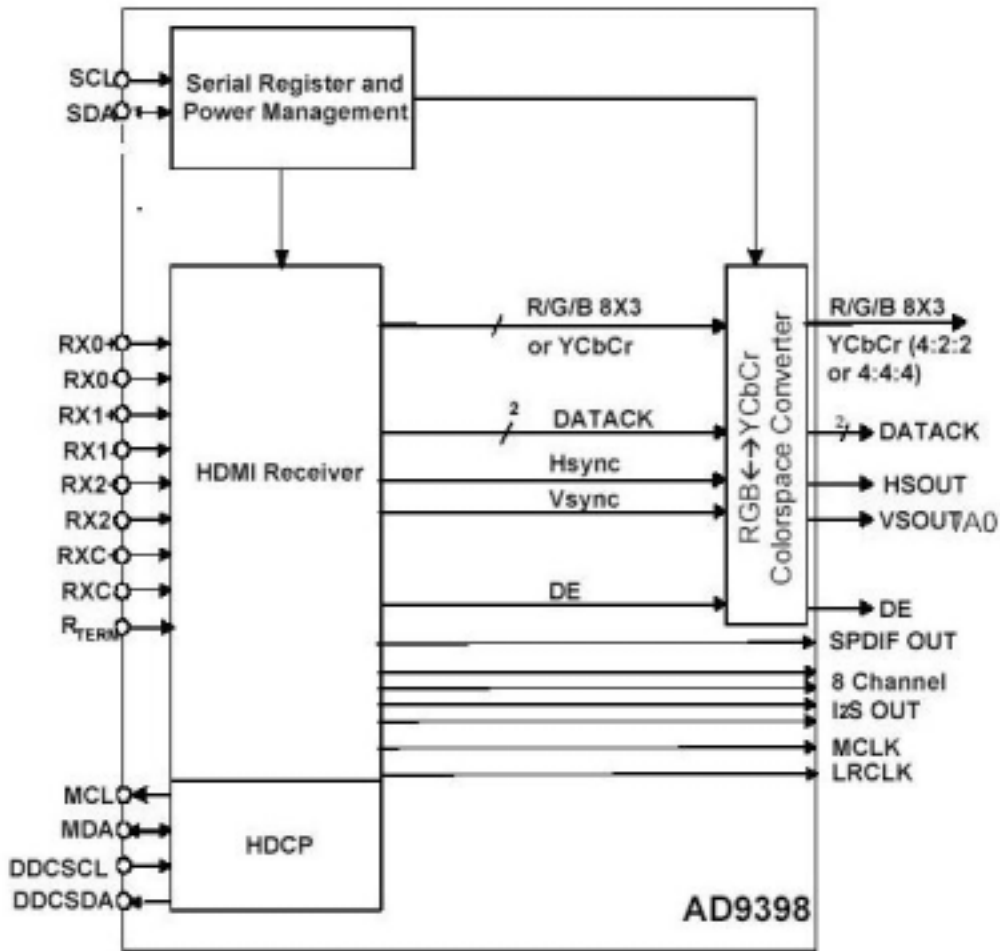
Descrição da pinagem do PW2300:

Pino	Nome	Função	Pino	Nome	Função
A4	XIN	Entrada do Resonator	N4	B_1	AV1 entr. azul
A5	XOUT	Saída do Resonator	P1	R_2	AV2 entr. verm
B2	SDA	Dados do barramento I ² C	P2	B_2	AV2 entr. verde
B3	SCL	Relógio do barramento I ² C	R3	CVBS_SOG1	Saída do sinc. verde múltiplo T do sinal de vídeo
K2	VGA-R1	VGA vermelho	R4	C_1	Entrada do sinal de cor S-VHS
K1	VGA-G1	VGA verde	B9	GVB1	Intervalo de apagamento vertical
M1	VGA-V1	VGA azul	E16	G_VS	Saída do sinc. vertical
T1	VGA_H	VGA Canal 1 sinc. vertical	F14	G_HS	Saída do sinc. horizontal
T3	VGA_V	VGA Canal 1 sinc. vertical	F15	G_AHS	Sinc. horizontal bruto
N1	R_1	AV1 entrada verm.	G15	G_DLK	Saída do relógio
N1	G_1	AV1 entrada verde	B10-B12 A10-A12 C11-C12	GRE (0-7)	Saída de dados verm.
P3	SOG_2	AV2 entrada sinc. verde	C13 C14 B13 B14 A13-A16	GGE (0-7)	Saída de dados verde
P4	G_2	AV2 entrada azul	B15-B16 C15-C16 E14	GBE (0-7)	Saída de dados azuis

3.2 AD9398

Chip da interface multimídia de alta definição, AD9398 HDMI (High-Definition Multimedia Interface). Esta interface é o padrão de interface digital que foi introduzido rapidamente. O uso desta interface é a transmissão de sinal eletrônico de vídeo da definição padrão e alta definição, e esta interface fornece a tecnologia de proteção de conteúdo. O AD9398 também suporta HDCP (High bandwidth Digital Content Protection). O AD9398 inclui um módulo de interface HDMI 1.0 e um módulo de HDCP. O sinal de HDMI introduzido será enviado à interface deste chip para fazer a decodificação. O sinal de RGB digital de 24 bits de simultaneidade e os sinais de sinc. correspondentes são fornecidos ao N602 PW118 para fazer o processamento. Além disso, o módulo HDCP faz a comunicação através do DDCSDA, DDCSCL e das fontes de sinal de HDMI para fazer a decodificação do sinal de vídeo. O chip faz a conexão de uma memória extra N207 24LC168SN que armazena a chave secreta de decodificação exigida pelo HDCP, e faz a comunicação através do pino MCL, MDA do AD9893.

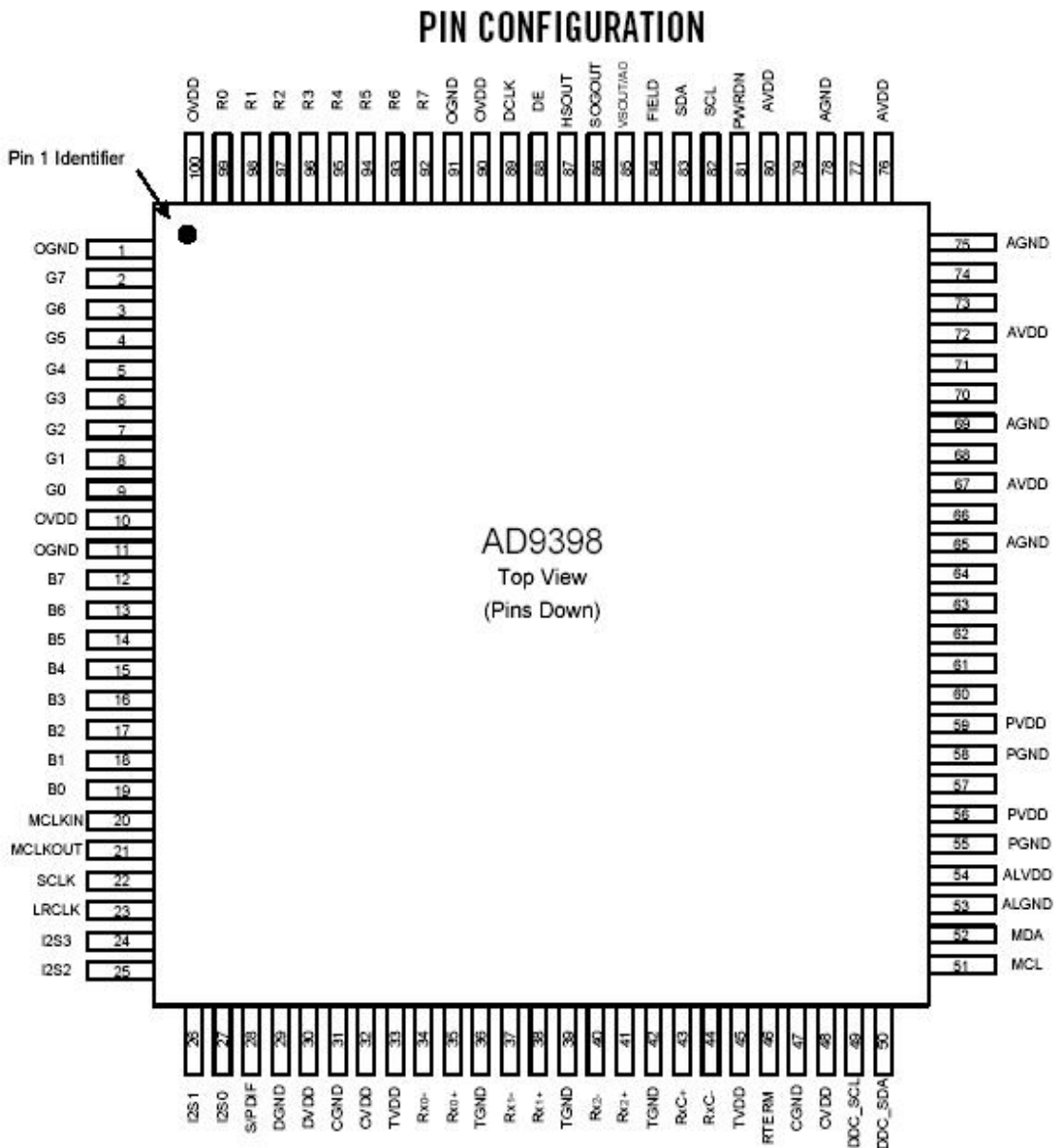
Diagrama interno de bloco do AD9880 (AD9398):



Descrição da pinagem do AD9880 (AD9398):

Pino	Nome	Função	Pino	Nome	Função
2-9	GGE(0-7)	Chavear saída	44	RXC+	Entrada de vídeo digital DVI
12-19	GBE(0-7)	Chavear saída	49	DDC_CLK	HDCP (relógio de dados serial)
92-99	GRE(0-7)	Chavear saída	50	DDC_DATA	HDCP (E/S de dados seriais)
20,21	MCLK	Controlar saída do relógio	51	MCL	HDCP relógio de dados seriais
22	12S_SCR	Saída do relógio da série áudio	52	MDA	HDCP E/S dos dados da série de controle
23	12S_WS	Saída de dados do relógio do barramento	82	SCL-1	Relógio de dados da série
27	12S_SD	Saída de dados do áudio do barramento	83	SDA_1	E/S dos dados de série
34	RX0-	Entrada de vídeo digital DVI	84	G_FIELD	Saída do campo de paridade
35	RX0+	Entrada de vídeo digital DVI	85	G_VS	Saída do sinc. de dados vert.
37	RX1-	Entrada de vídeo digital DVI	86	G_VHS	Saída de sinc. verde

Diagrama de pinagem:



3.3 PW118

O PW118 é o novo chip de alta potência para manipulação de imagens da Pixelworks. O sinal RGB digital de 24 bits e o sinal sinc. correspondente, fornecidos pelo AD9398 e PW2300, serão introduzidos neste chip para fazer a manipulação da imagem, e o sinal LVDS é fornecido para ativar a tela diretamente. Além da função de entrelaçado para linha por linha, este chip ainda inclui a função de refinamento de imagem (image enhancement), etc. Este chip é a CPU principal deste aparelho. Assume todo o controle, exceto quanto ao controle da fonte de alimentação, incluindo o controle de cada operação de chip na placa principal (ex.: a manipulação da imagem, a chave de canais, o display de imagens, etc.), o controle de botões, dispositivo remoto e de som, etc., e a CPU assistente N401 ATMEGA8L controlam principalmente a fonte de alimentação, incluindo a reserva e o botão de controle do dispositivo remoto para ligar o aparelho, etc. A interface do menu é também gerada pelo PW118. A memória externa do PW118 N402 AT24LC32A armazena os dados correspondentes. O chip Flash N404 MX29LV800 armazena o procedimento correspondente. O chip DDRSDRAM (N501 K4D553238F-JC) auxilia a operação do PW118 como memória externa.

Diagrama interno de blocos PW118:

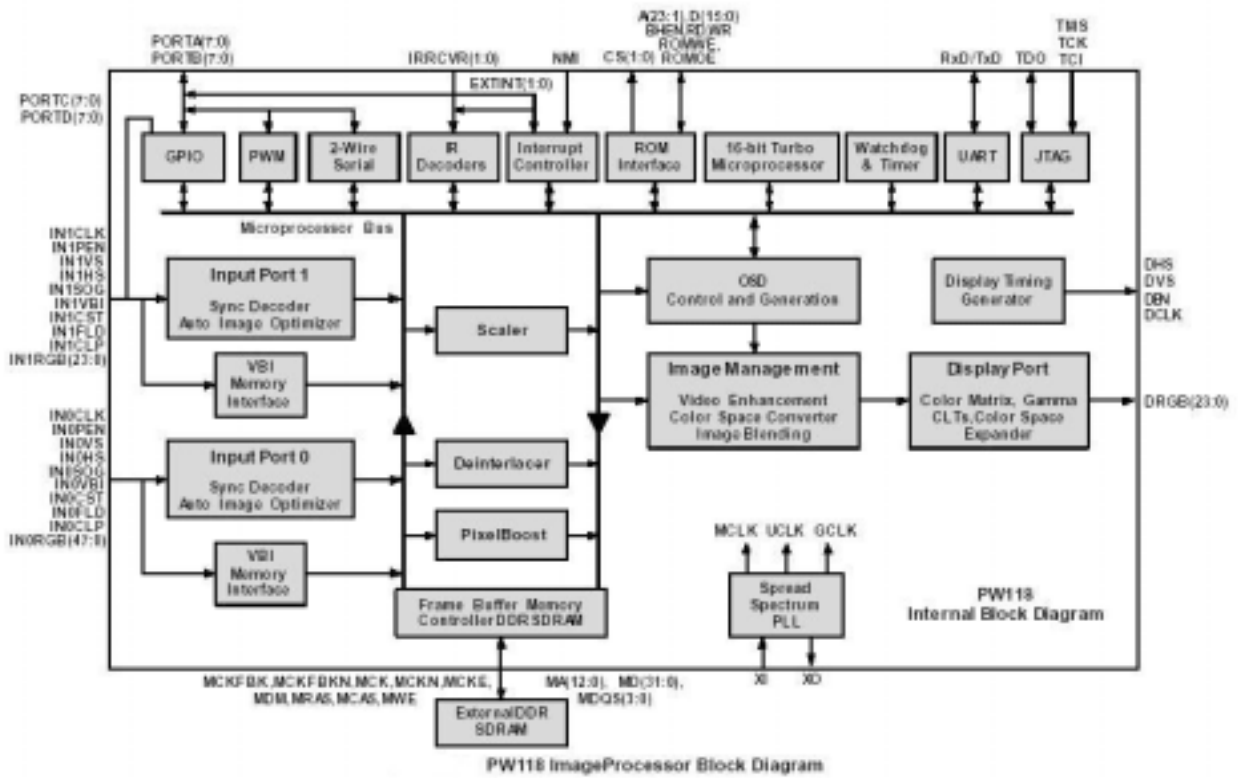


Diagrama da pinagem:

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	
A	IN00	IN01	IN02	IN03	IN04	IN05	IN06	IN07	IN08	IN09	IN10	IN11	IN12	IN13	IN14	IN15	IN16	IN17	IN18	IN19	IN20	IN21	A
B	IN22	IN23	IN24	IN25	IN26	IN27	IN28	IN29	IN30	IN31	IN32	IN33	IN34	IN35	IN36	IN37	IN38	IN39	IN40	IN41	IN42	IN43	B
C	IN44	IN45	IN46	IN47	IN48	IN49	IN50	IN51	IN52	IN53	IN54	IN55	IN56	IN57	IN58	IN59	IN60	IN61	IN62	IN63	IN64	IN65	C
D	IN66	IN67	IN68	IN69	IN70	IN71	IN72	IN73	IN74	IN75	IN76	IN77	IN78	IN79	IN80	IN81	IN82	IN83	IN84	IN85	IN86	IN87	D
E	IN88	IN89	IN90	IN91	IN92	IN93	IN94	IN95	IN96	IN97	IN98	IN99	IN100	IN101	IN102	IN103	IN104	IN105	IN106	IN107	IN108	IN109	E
F	IN110	IN111	IN112	IN113	IN114	IN115	IN116	IN117	IN118	IN119	IN120	IN121	IN122	IN123	IN124	IN125	IN126	IN127	IN128	IN129	IN130	IN131	F
G	IN132	IN133	IN134	IN135	IN136	IN137	IN138	IN139	IN140	IN141	IN142	IN143	IN144	IN145	IN146	IN147	IN148	IN149	IN150	IN151	IN152	IN153	G
H	IN154	IN155	IN156	IN157	IN158	IN159	IN160	IN161	IN162	IN163	IN164	IN165	IN166	IN167	IN168	IN169	IN170	IN171	IN172	IN173	IN174	IN175	H
J	IN176	IN177	IN178	IN179	IN180	IN181	IN182	IN183	IN184	IN185	IN186	IN187	IN188	IN189	IN190	IN191	IN192	IN193	IN194	IN195	IN196	IN197	J
K	IN198	IN199	IN200	IN201	IN202	IN203	IN204	IN205	IN206	IN207	IN208	IN209	IN210	IN211	IN212	IN213	IN214	IN215	IN216	IN217	IN218	IN219	K
L	IN220	IN221	IN222	IN223	IN224	IN225	IN226	IN227	IN228	IN229	IN230	IN231	IN232	IN233	IN234	IN235	IN236	IN237	IN238	IN239	IN240	IN241	L
M	IN242	IN243	IN244	IN245	IN246	IN247	IN248	IN249	IN250	IN251	IN252	IN253	IN254	IN255	IN256	IN257	IN258	IN259	IN260	IN261	IN262	IN263	M
N	IN264	IN265	IN266	IN267	IN268	IN269	IN270	IN271	IN272	IN273	IN274	IN275	IN276	IN277	IN278	IN279	IN280	IN281	IN282	IN283	IN284	IN285	N
P	IN286	IN287	IN288	IN289	IN290	IN291	IN292	IN293	IN294	IN295	IN296	IN297	IN298	IN299	IN300	IN301	IN302	IN303	IN304	IN305	IN306	IN307	P
R	IN308	IN309	IN310	IN311	IN312	IN313	IN314	IN315	IN316	IN317	IN318	IN319	IN320	IN321	IN322	IN323	IN324	IN325	IN326	IN327	IN328	IN329	R
T	IN330	IN331	IN332	IN333	IN334	IN335	IN336	IN337	IN338	IN339	IN340	IN341	IN342	IN343	IN344	IN345	IN346	IN347	IN348	IN349	IN350	IN351	T
U	IN352	IN353	IN354	IN355	IN356	IN357	IN358	IN359	IN360	IN361	IN362	IN363	IN364	IN365	IN366	IN367	IN368	IN369	IN370	IN371	IN372	IN373	U
V	IN374	IN375	IN376	IN377	IN378	IN379	IN380	IN381	IN382	IN383	IN384	IN385	IN386	IN387	IN388	IN389	IN390	IN391	IN392	IN393	IN394	IN395	V
W	IN396	IN397	IN398	IN399	IN400	IN401	IN402	IN403	IN404	IN405	IN406	IN407	IN408	IN409	IN410	IN411	IN412	IN413	IN414	IN415	IN416	IN417	W
Y	IN418	IN419	IN420	IN421	IN422	IN423	IN424	IN425	IN426	IN427	IN428	IN429	IN430	IN431	IN432	IN433	IN434	IN435	IN436	IN437	IN438	IN439	Y
AA	IN440	IN441	IN442	IN443	IN444	IN445	IN446	IN447	IN448	IN449	IN450	IN451	IN452	IN453	IN454	IN455	IN456	IN457	IN458	IN459	IN460	IN461	AA
AB	IN462	IN463	IN464	IN465	IN466	IN467	IN468	IN469	IN470	IN471	IN472	IN473	IN474	IN475	IN476	IN477	IN478	IN479	IN480	IN481	IN482	IN483	AB

3.4 M52797

O M52797 é um chip de chaveamento AV controlado pelo IIC. Este chip inclui 4 grupos de entrada de vídeo e 4 grupos de entrada de áudio, 2 saídas de vídeo e 1 saída de áudio.

Diagrama interno de blocos do M52797:

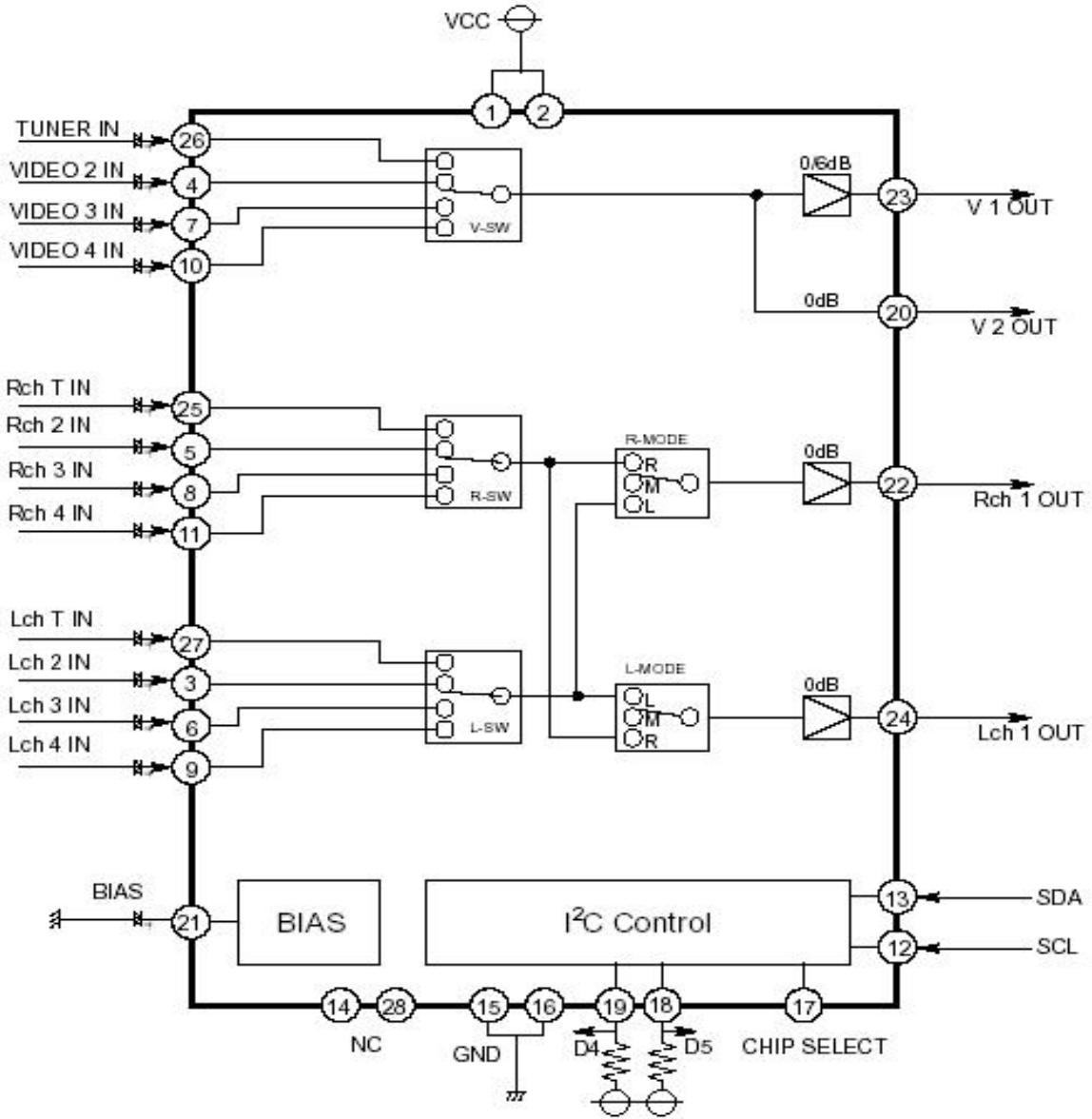
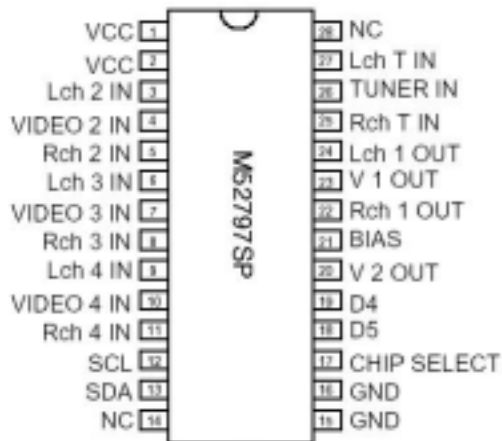


Diagrama da pinagem:



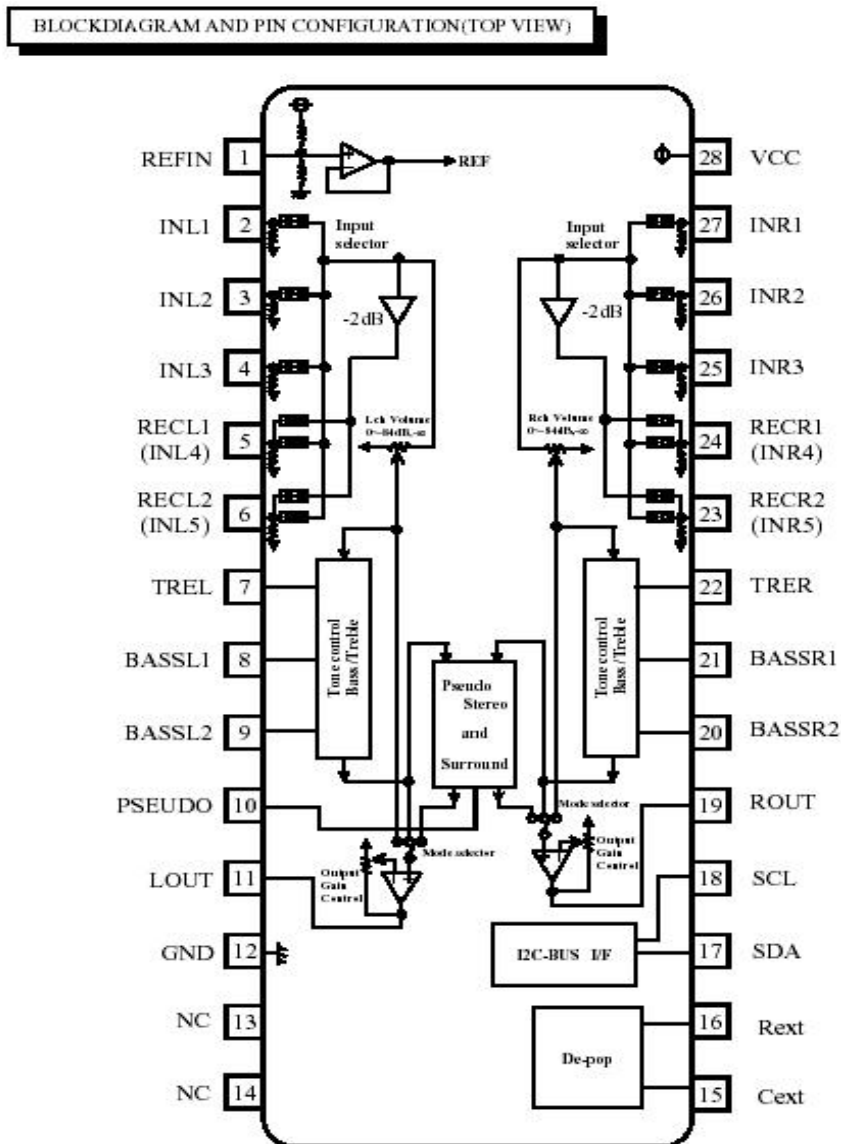
Descrição da pinagem do M52797:

Pino	Função	Pino	Função
3	YPbPr2_L entrada de áudio	20	Saída de vídeo para o PW2300
5	YpbPr2_R entrada de áudio	22	Saída de áudio da trilha direita
6	AV1_L entrada de áudio	23	Saída de vídeo para a interface AVOUT
7	AV1 entrada de áudio	24	Saída de áudio da trilha esquerda
8	AV1_R entrada de áudio	25	TV_R entrada de áudio
9	AV2_L entrada de áudio	26	TV entrada de vídeo
10	AV2 entrada de áudio	27	TV_L entrada de áudio
11	AV2_R entrada de áudio		

3.5 R2S15900

O R2S15900 é um chip de processamento de áudio que faz o chaveamento do áudio, processamento do som e ajuste do volume, controlado pelo barramento IIC.

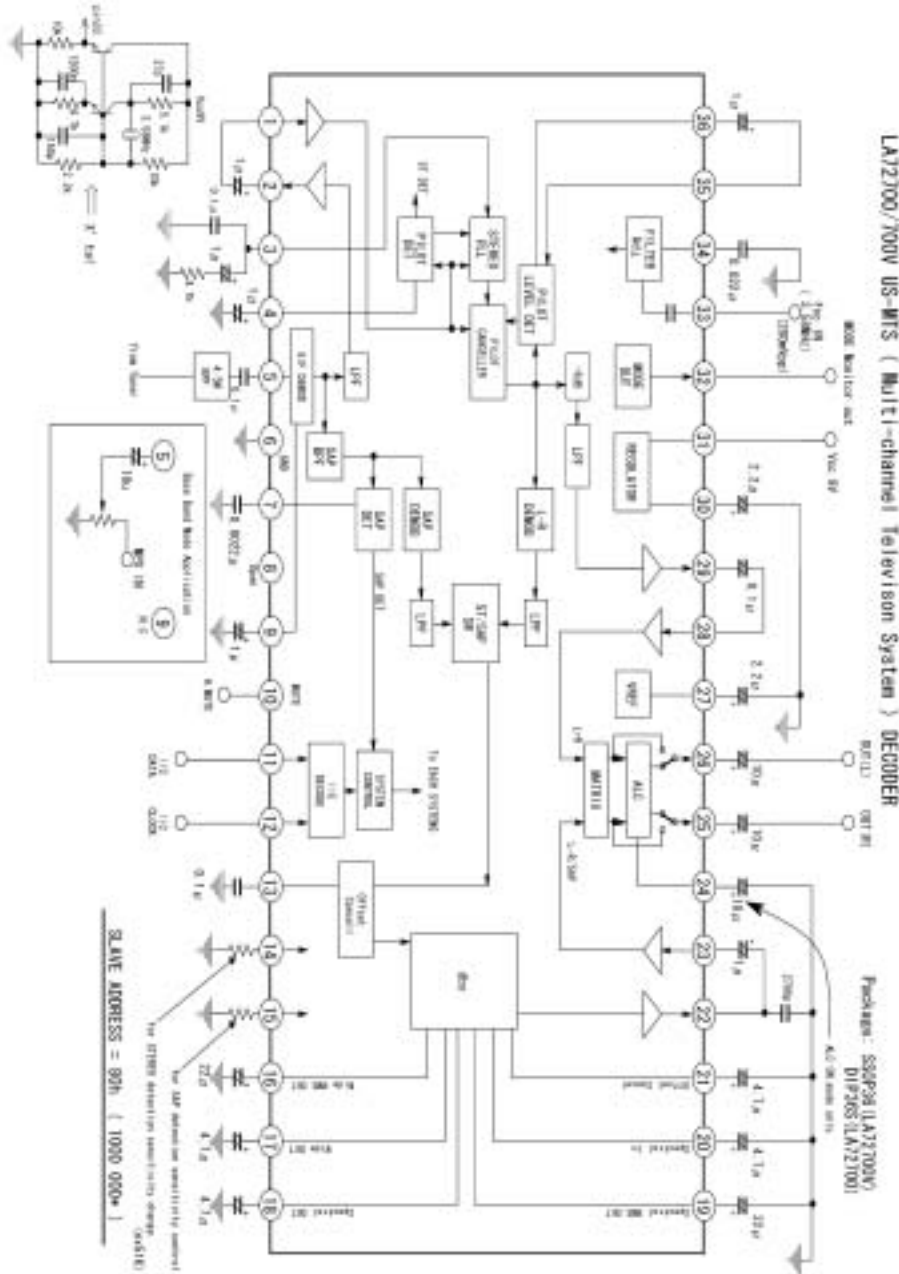
Diagrama interno de blocos:



Descrição da pinagem do R2S15900:

Pino	Função	Pino	Função
2,27	Trilha esquerda e direita do M52797	5,24	Trilha esquerda e direita do YPbPr1
3,26	Trilha esquerda e direita do HDMI	11,19	Trilha esquerda e direita da saída de áudio
4,25	Trilha esquerda e direita do VGA		

3.6 LA72700 (DECODIFICADOR ESTEREO/SAP):



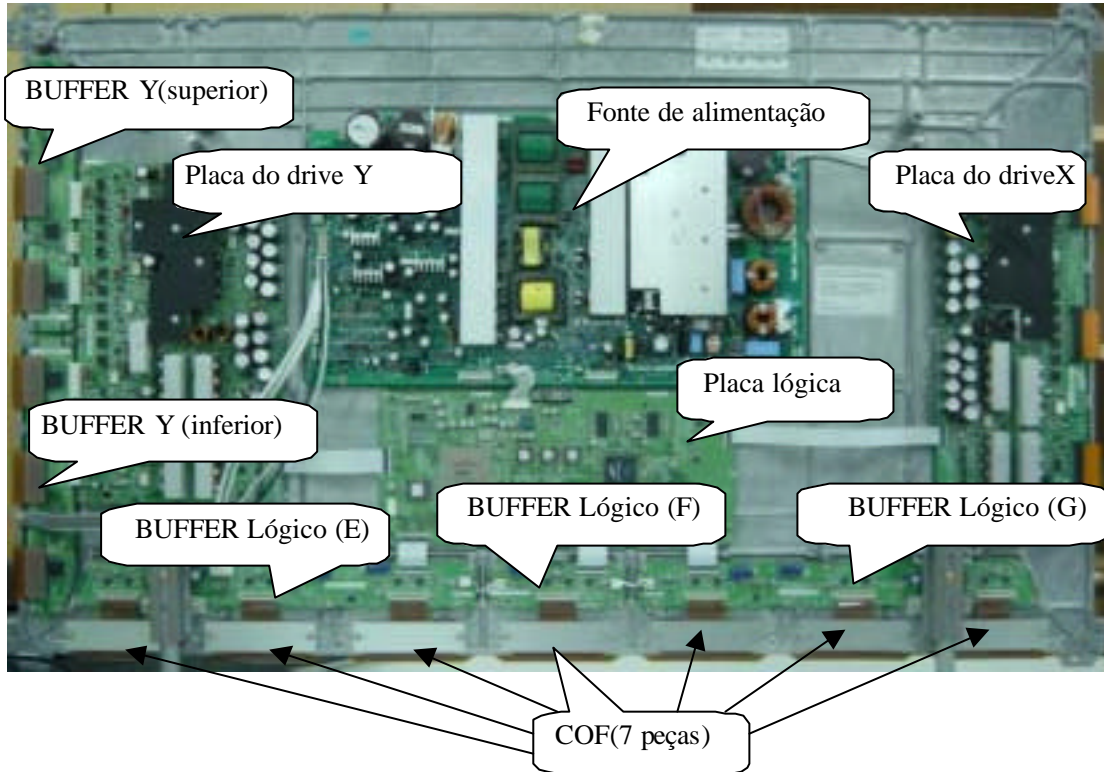
Descrição da pinagem:

Pino No.	Nome	Descrição	Pino No.	Nome	Descrição
5	PISIF	Entrada IF de áudio	25	R OUT	Saída de áudio canal direito
11	SDA	Barramento I2C	26	L OUT	Saída de áudio canal esquerdo
12	SCL	Relógio I2C	31	VCC	9V

Diagnóstico e manutenção do painel

1. Função de bloco do painel

Placa da fonte de alimentação, placa lógica, placa do drive X, placa do drive Y, BUFFER lógico (E, F, e G) e BUFFER Y (superior e inferior) do painel PDP.



* **Placa da fonte de alimentação:** para fornecer alimentação elétrica à tela, outros módulos funcionais na tela, nossa própria placa principal, e placa de processamento das frequências de vídeo.

* **Placa de drive X:** para produzir e fornecer sinal de drive para o eletrodo X de acordo com o sinal de seqüência de tempo enviado pela placa lógica.

* **Placa de drive Y:** para produzir e fornecer sinal de drive para o eletrodo Y de acordo com o sinal de seqüência de tempo enviado pela placa lógica.

* **Placa lógica:** para processar o sinal de imagem enviado pela placa principal, para produzir sinal de endereçamento e fornecer sinal de drive para as placas de drive X e Y.

* **Placa do BUFFER lógico:** para converter o sinal de dados e sinal de controle enviados pela placa lógica nos sinais exigidos pelo COF.

* **Y BUFFER board:** para transmitir o sinal de escaneamento da placa do drive Y para a tela, que se divide nas partes superior e inferior.

* **COF:** para converter o sinal enviado pela placa do BUFFER lógico em sinal de endereço usado pela tela.

2. Diagnóstico de problemas:

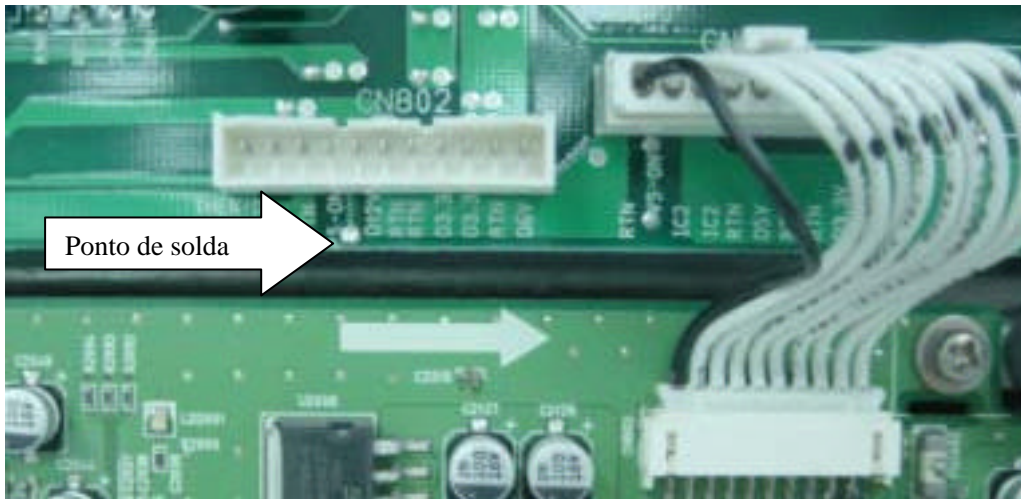
2.1 A tela não tem brilho:

a. Verifique se a tomada da fonte de alimentação da placa dos filtros de força para a placa da fonte de alimentação está bem inserida no encaixe. Se não estiver, encaixe-a corretamente.

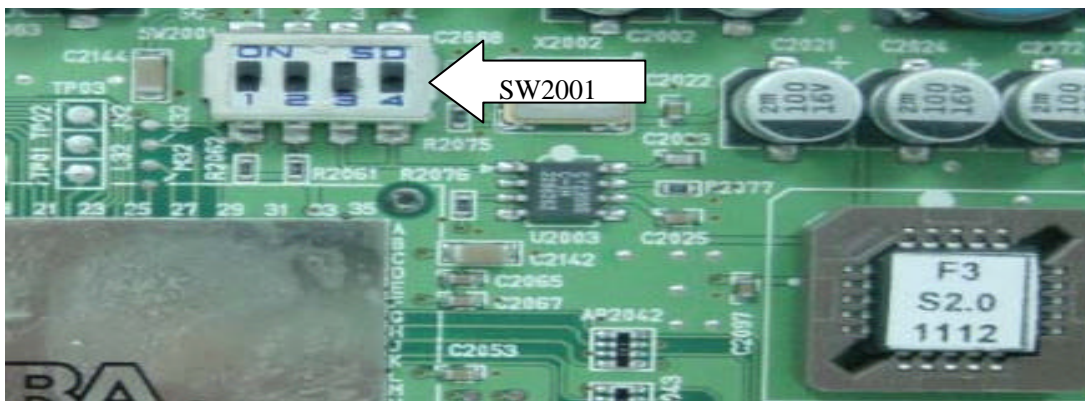
b. Verifique se o fusível da placa de alimentação não está queimado. Se estiver, troque-o por um novo.

c. Remova a placa principal e a placa de processamento de frequências, aterre o pino 4

POWER_ON/OFF do soquete CN802 da placa da fonte de alimentação;



e então empurre a chave deslizante SW2001 da placa lógica para os modos internos (1, 3 para cima e 2, 4 para baixo) a partir dos modos externos (1, 2, 4 para cima e 3 para baixo).

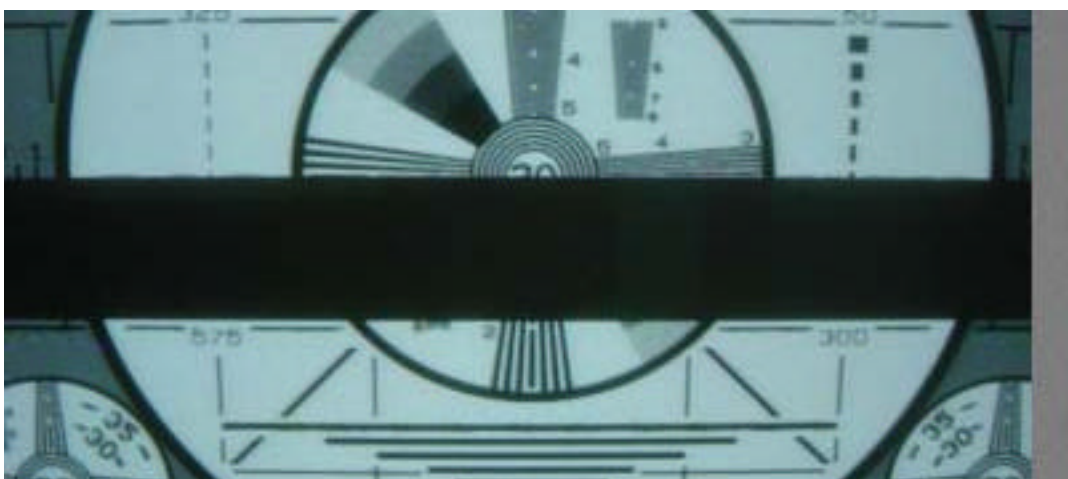


Ligue a força e veja se a tela está acesa. Se a tela puder fornecer um sinal de campo normal e completamente branco, então o problema estará em nossa placa principal ou placa de processamento de frequências de vídeo, que será tratada separadamente.

d. Se a tela não estiver acesa, então substitua primeiro a placa da fonte de alimentação para ver se o problema fica resolvido.

e. Se o problema persistir após a substituição da fonte de alimentação, então o problema está na tela. Substitua toda a tela para tratamento.

2.2 Aparecerá na tela uma linha ou várias linhas não acesas.



Verifique se a tomada entre a placa de drive Y e o BUFFER Y está bem encaixada. Se não estiver, corrija o problema, encaixando-a corretamente. Se estiver, então substitua o BUFFER Y (superior

e inferior) com relação à parte superior e inferior da linha escura na tela.

2.3 Aparecem na tela uma ou várias linhas horizontais que são muito mais brilhantes que as linhas horizontais restantes na borda:

Verifique se o soquete entre a placa de drive Y e o BUFFER Y está bem encaixado. Se não estiver, encaixe-o bem. Se estiver bem encaixado, então substitua o BUFFER Y (superior e inferior) com respeito à parte superior e inferior da linha escura na tela.

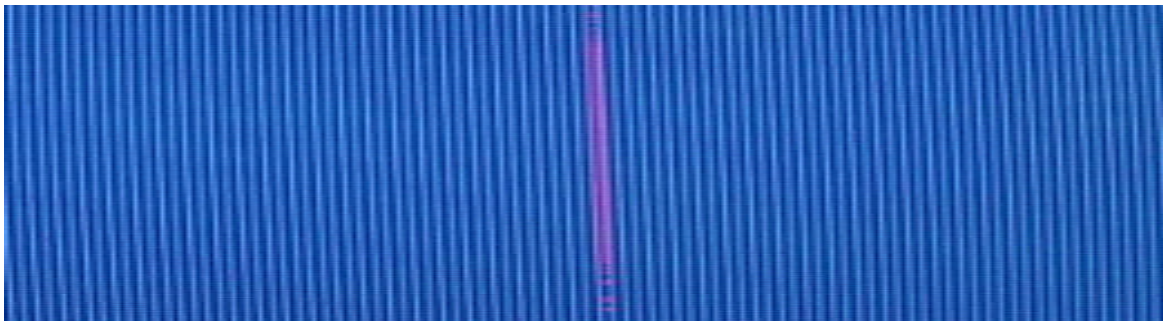
4. Aparecerá na tela uma linha vertical não acesa ou um bloco vertical inteiramente apagado.



a. Se houver uma linha vertical não acesa, então haverá um problema com o COF.

b. Se for um bloco vertical inteiramente não aceso, verifique primeiro se a tomada de conexão entre o COF e o BUFFER lógico tem algum problema. Se não tiver, verifique se as tomadas de conexão entre o BUFFER lógico e a placa lógica está normal. Se estiver, substitua o BUFFER lógico. Finalmente, se o problema ainda persistir após a substituição, substitua então a placa lógica.

5. Aparecerá na tela um sinal de uma só cor e uma ou várias linhas verticais brilhantes de outras cores:



a. Se houver uma linha vertical brilhante ou outras cores, então o problema estará no COF ou na tela.

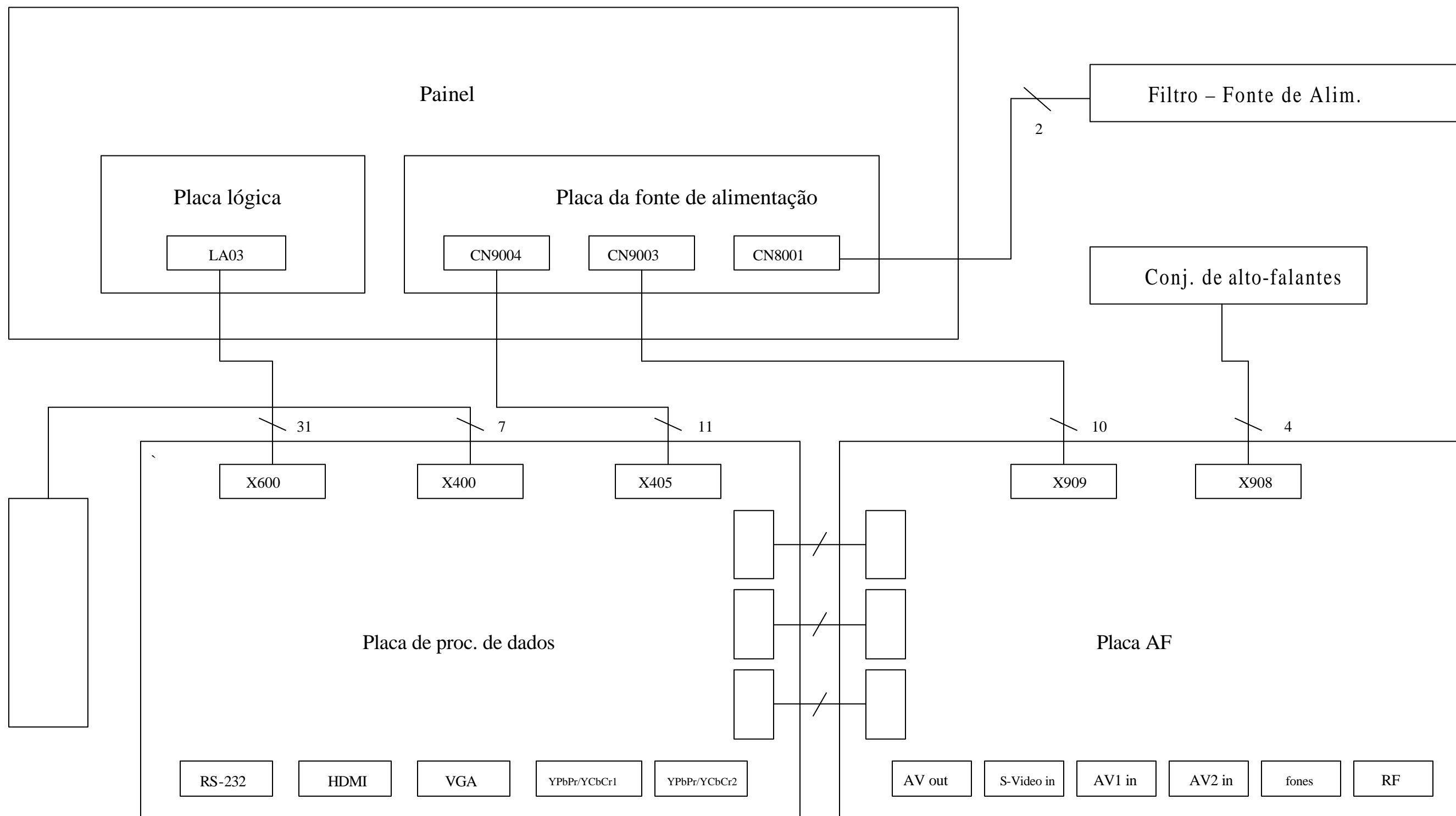
b. Se houver um bloco vertical inteiro de outras cores, verifique então primeiro para ver se o soquete de conexão entre o COF e o BUFFER lógico tem algum problema. Se não houver problema, verifique se o soquete de conexão entre o BUFFER lógico e a placa lógica está normal. Se estiver normal, substitua então o BUFFER lógico. Se o problema ainda persistir após a substituição, substitua então a placa lógica. Finalmente, se o problema ainda existir, o problema deverá estar no COF.

6. Aparecem na tela pontos ou blocos brilhantes anormais que são diferentes do que está descrito acima:

a. Verifique se o soquete de conexão entre o COF e a placa de BUFFER lógico está bem encaixado.

b. Substitua a placa do BUFFER lógico. Se o problema não estiver resolvido, substitua então a placa lógica. Se o problema ainda persistir, então o problema estará no COF.

Diagrama de Fiação

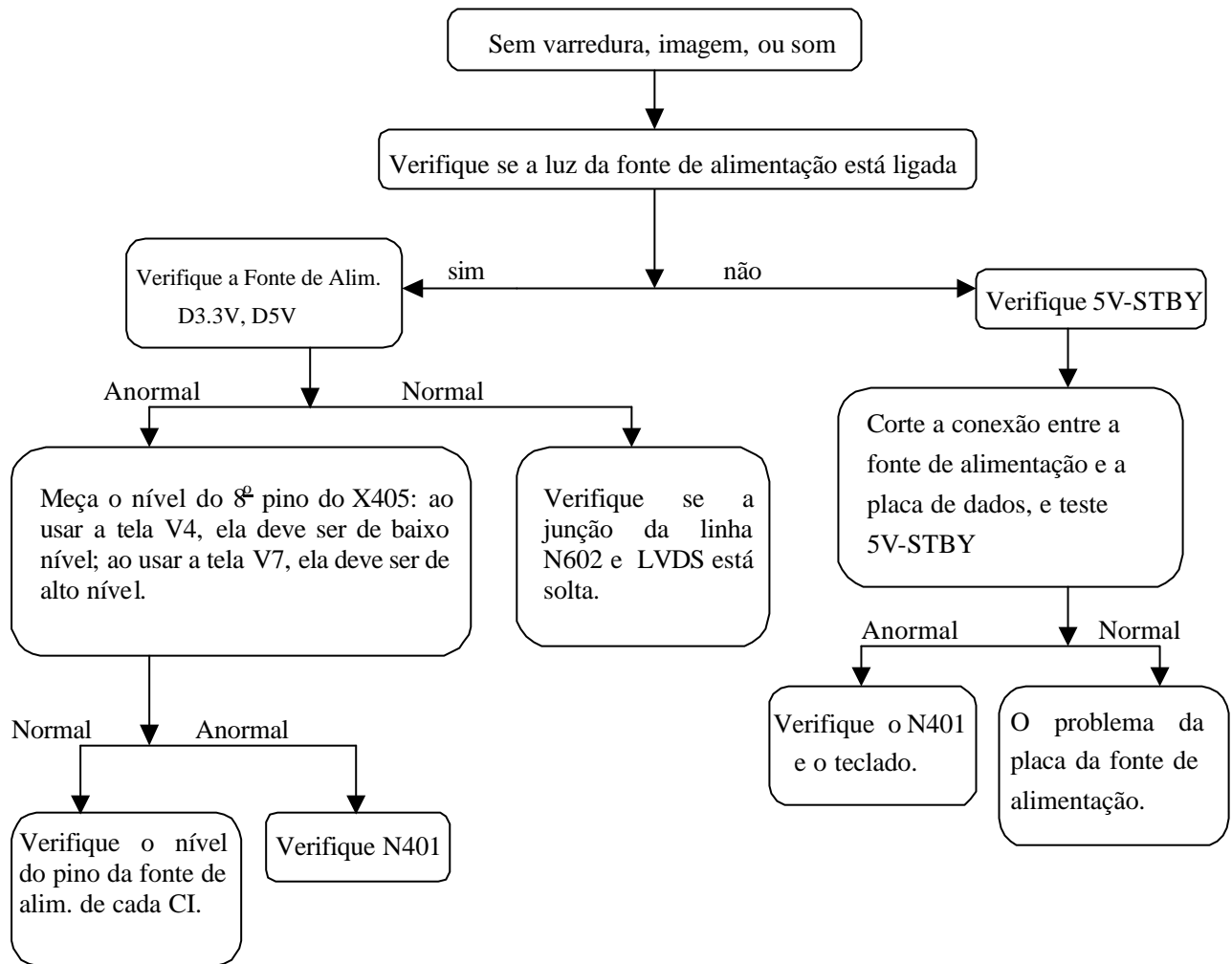


Lista de Conjuntos

Peças No. (203-PS42T80-23)	Descrição
SPS42T80-23A10	Software PW118
SPS42T60-01B10	Software MEGA8
SPS42T60-01C10	Software HDMI EDID
SPS42T60-01D10	Software VGA EDID
301-PPS42T8-03A	Controle remoto
615-10412-03	Conj. do suporte do painel (DZ-1042)
615-20543-00	Conj. de alto-falantes
667-PSIT6-55A	Placa de alta frequência
667-PSIT6-69	Placa de processamento digital
667-PS42T6-05	Placa de botões
335-42006-00	Tela do display

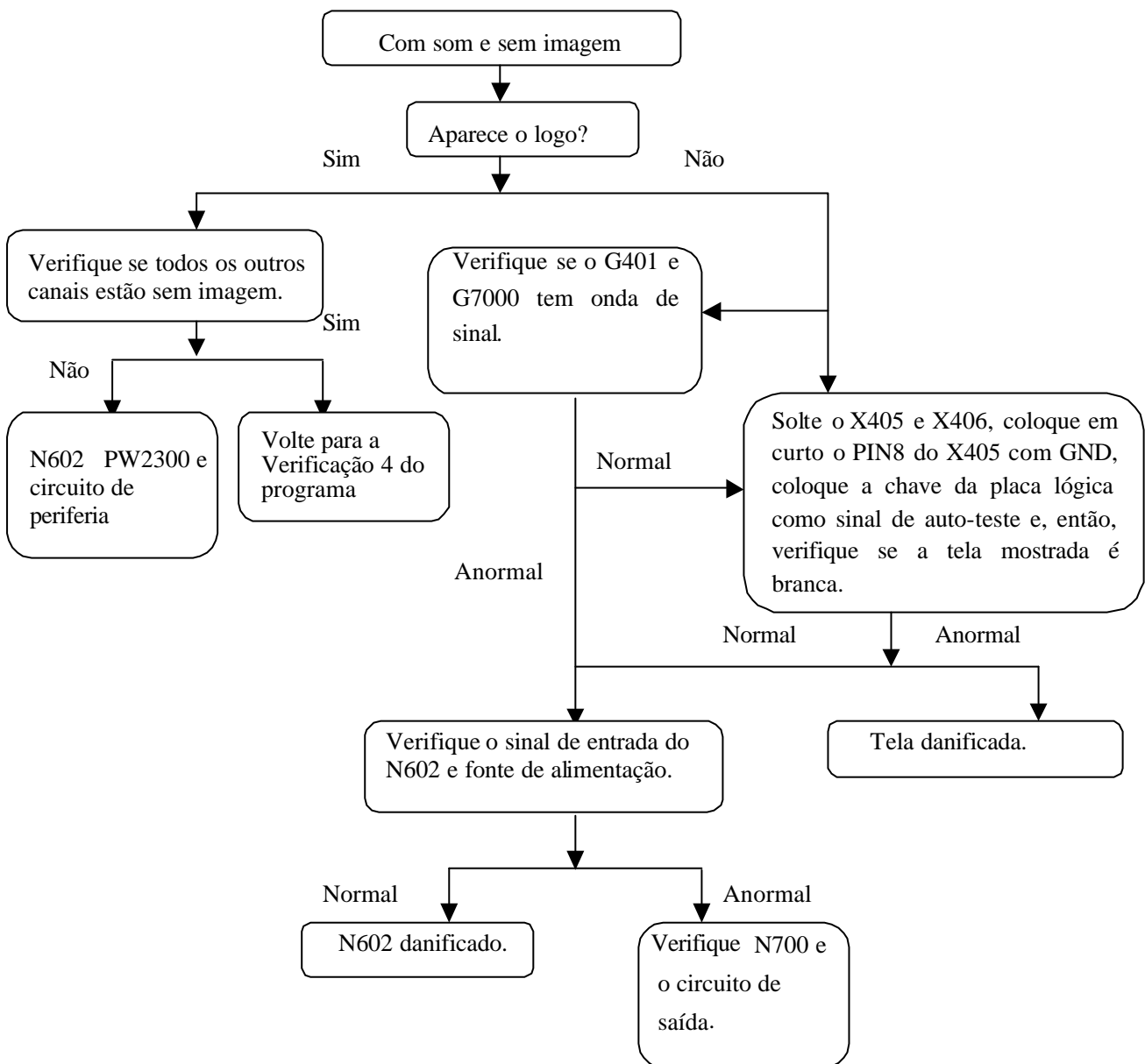
Guia para eliminação de problemas

1. Sem varredura, sem imagem, sem som



OBSERVAÇÃO: A fonte de alimentação PDP tem a função de proteção contra sobrecorrente, sobretensão, etc. Se ocorrer sobrecorrente e sobretensão em determinada fonte de alimentação, não haverá aumento na saída da fonte.

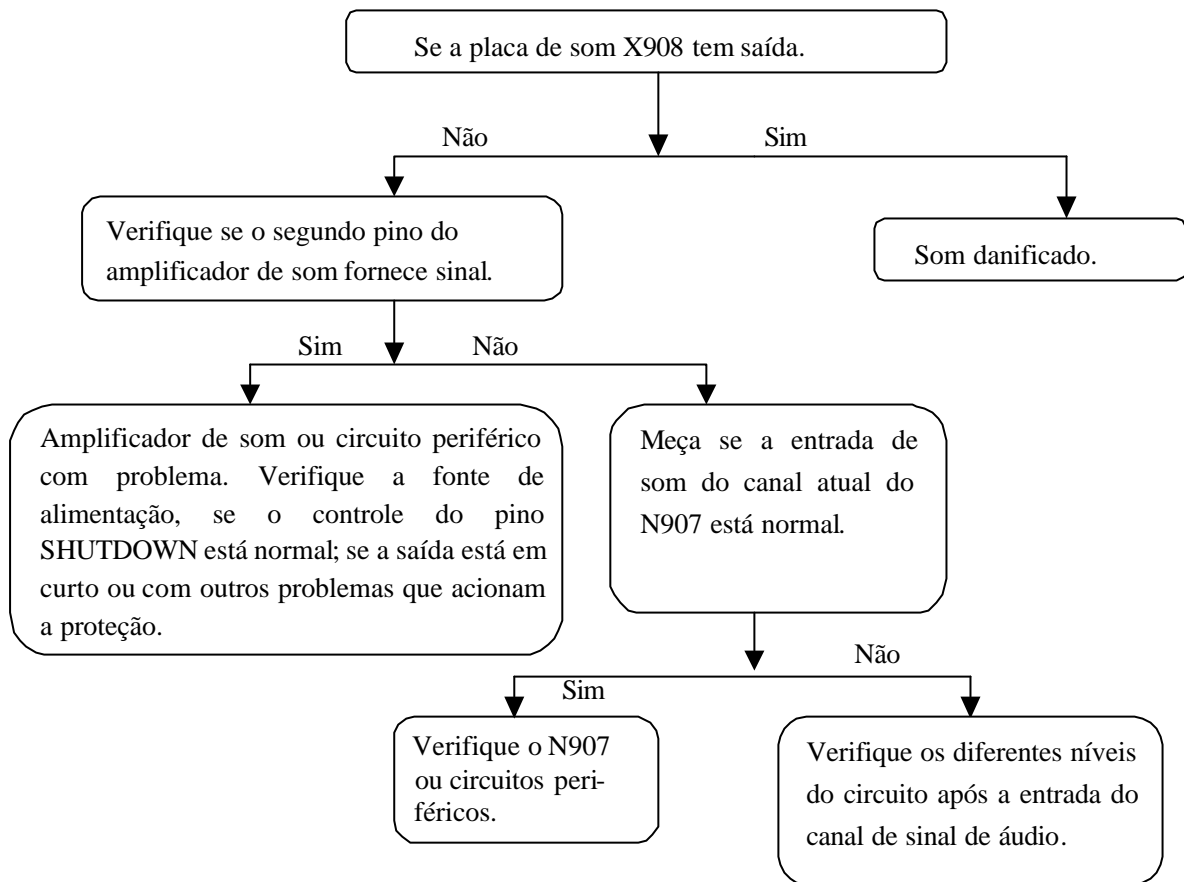
2. Com som e sem imagem:



Defina o auto-teste da tela:

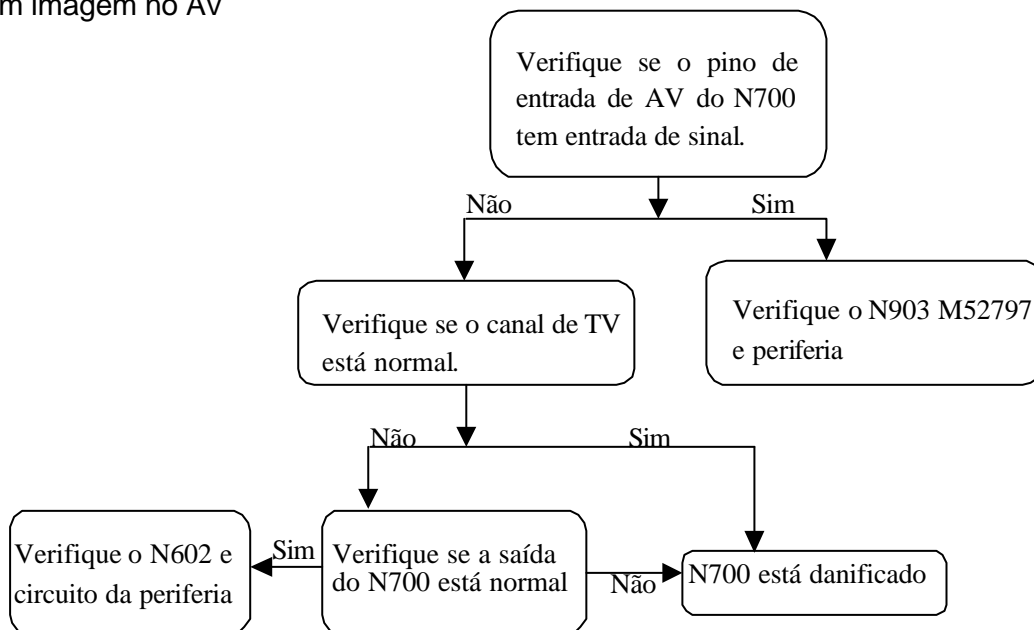
- Tela SD de 42": empurre 2 e 4 e suspenda o 3 da SW2001 na placa lógica;
- Tela HD de 50": abaixe 1 e 4 e suspenda 2, 3, 5, e 6 do SW2001 na placa lógica;
- Retorne à situação original quando a verificação estiver concluída.

3. Com imagem e sem som:

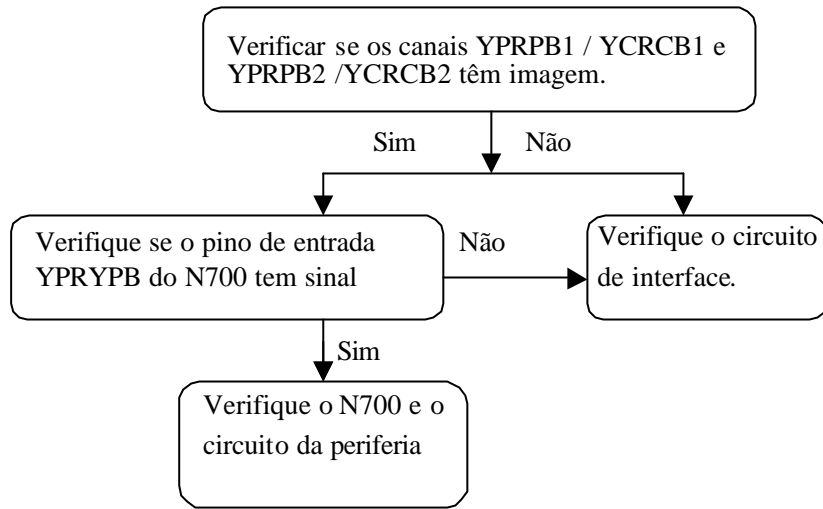


4. Um determinado canal está anormal

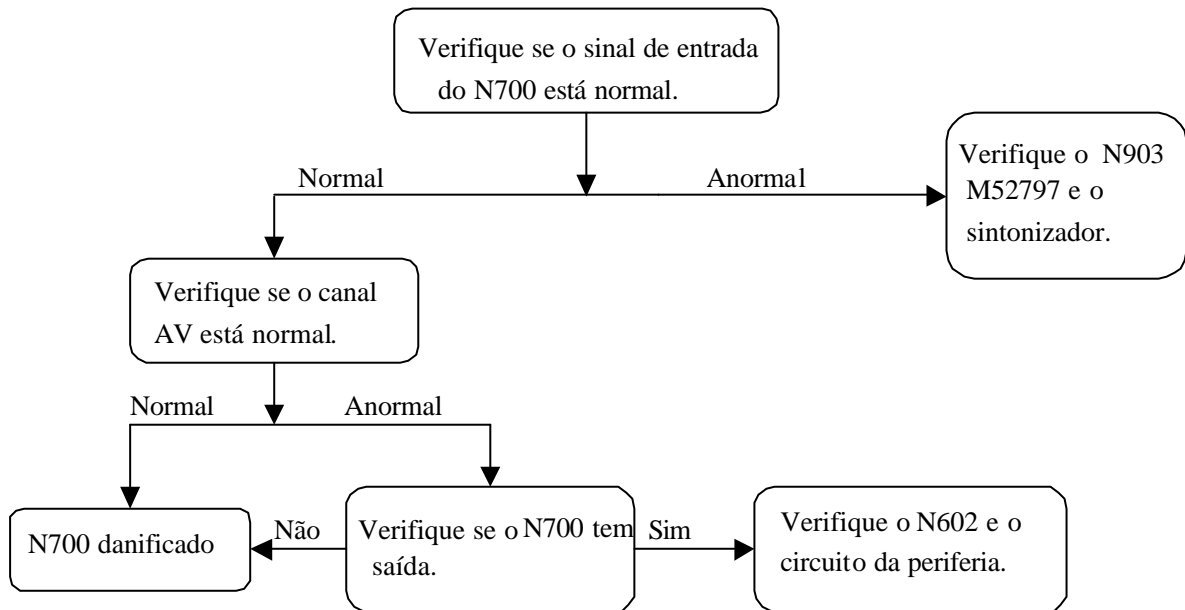
4.1 Sem imagem no AV



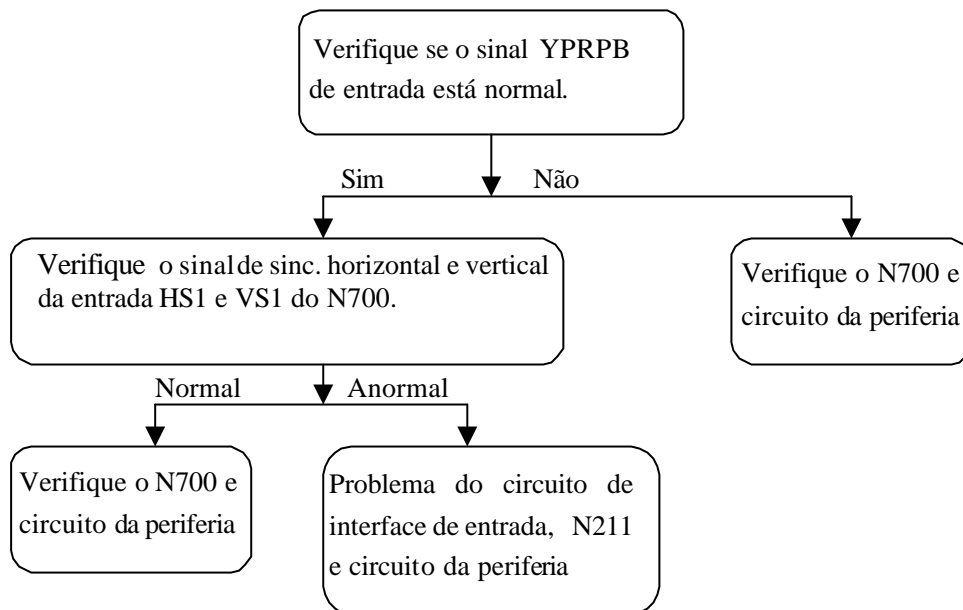
4.2 YPrPb ou YCrCb sem imagem



4.3 TV sem imagem



4.4 VGA sem imagem



4.5 HDMI sem imagem

Se não houver imagem, verifique primeiro se o dispositivo externo está normal. Se após eliminar o problema do dispositivo ainda não houver imagem, verifique X200, N208 e o circuito da periferia.

4.5.1 Imagem anormal:

- Um determinado par de fios diferenciais do LVDS (RX0+/-, RX1+/-, RX2+/-, RX3+/-) do X600 está anormal, o que pode levar à falta de cor (não se trata de uma perda total de cor).
- Falha nas fileiras de resistores R606~R610, que pode resultar em perda da cor do grau de cinza correspondente à imagem de todos os canais.
- Falha nas fileiras de resistores R708~R713, que pode resultar na perda da cor do grau de cinza correspondente à imagem dos canais VGA/YPRPB/AV/TV.
- Falha nas fileiras de resistores R258~R263, que pode resultar na perda da cor correspondente do grau de cinza correspondente à imagem do canal HDMI.

4.5.2 Imagem anormal vertical ou horizontalmente (tipo de barra): Anormal em linha completa que se estende por toda a extensão de cima para baixo na tela do aparelho de TV de definição padrão. Verticalmente anormal em meia tela de aparelho de TV de alta definição. A causa poderá ser dano no módulo do BUFFER de endereço que corresponde diretamente a sua posição, ou poderá ser dano no fio de ligação que corresponde diretamente à posição da tela. A anormalidade semelhante a barra horizontal também está relacionada com o circuito de drive Y, que corresponde diretamente a sua posição. Para julgar esses fenômenos, é possível fazer a verificação ajustando a tela para a condição de auto-verificação, conforme explicado acima.

4.5.3 Sem brilho na área do bloco quadrado. Normalmente, causado por dano no módulo do BUFFER de endereço, que corresponde diretamente a sua posição, ou poderá ser causado pelo dano do fio de ligação que corresponde diretamente à posição da tela. Para julgar esses fenômenos, é possível fazer a verificação ajustando a tela para o estado de auto-verificação conforme explicado acima.